

# Tutorato di architettura degli elaboratori

## Circuiti Sequenziali

Andrea Gasparetto – [andrea.gasparetto@unive.it](mailto:andrea.gasparetto@unive.it)

Mealy

$$\text{OUTPUT}(t_i) = \delta(\text{INPUT}(t_i), \text{STATE}(t_i))$$

$$\text{NEXT\_STATE}(t_{i+1}) = \lambda(\text{INPUT}(t_i), \text{STATE}(t_i))$$

Moore

$$\text{OUTPUT}(t_i) = \delta(\text{STATE}(t_i))$$

$$\text{NEXT\_STATE}(t_{i+1}) = \lambda(\text{INPUT}(t_i), \text{STATE}(t_i))$$

### Esercizio 1

*Soluzione della terza prova di Dicembre 2011*

Si progetti un circuito sequenziale che modella un semplice sistema di deposito merci. Il circuito riceve in ingresso un segnale  $I$  che indica, ad ogni ciclo di clock, il tipo di operazione richiesta. In particolare,  $I = 1$  indica una richiesta di ingresso merce al deposito, mentre  $I = 0$  indica una richiesta di uscita merce dal deposito. Si assumano i seguenti vincoli per il sistema:

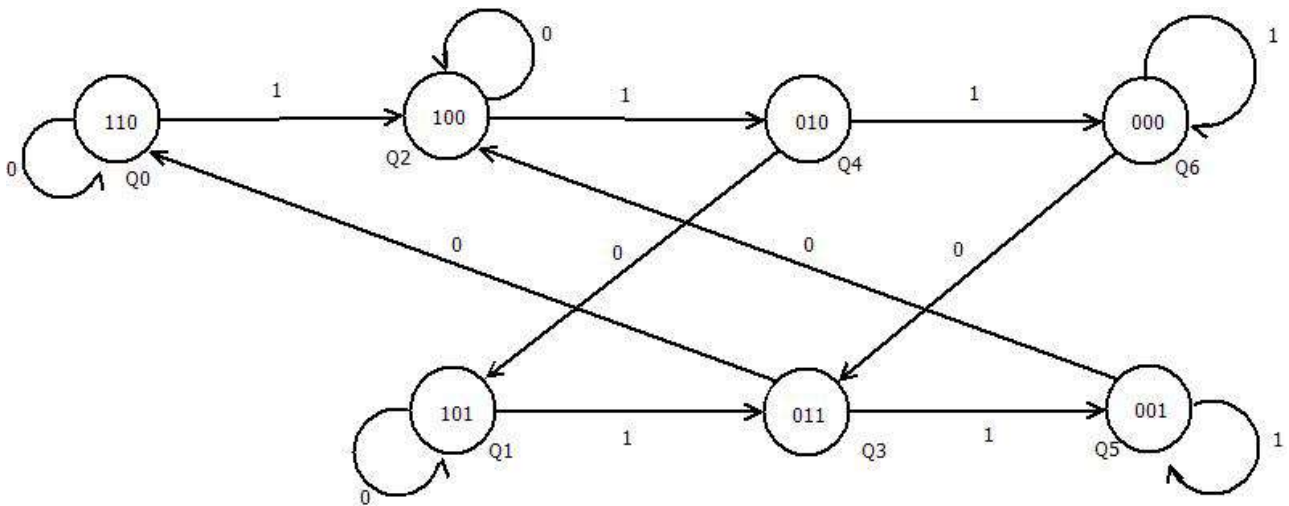
- entra ed esce dal deposito sempre una sola tipologia di merce;
- una richiesta di ingresso è sempre relativa a 2 unità di merce;
- una richiesta di uscita è sempre relativa a 3 unità di merce;
- il deposito può ospitare fino a 6 unità di merce;
- una richiesta di ingresso merce viene ignorata se il deposito in quel momento non ha sufficiente spazio per ospitare la merce;
- Una richiesta di uscita merce viene ignorata se il deposito in quel momento non ha merce sufficiente da far uscire.

Il circuito deve fornire in uscita un segnale a tre bit  $O_2, O_1, O_0$  che indica, ad ogni ciclo di clock, lo spazio disponibile in deposito ( $O_2$  cifra più significativa).

Si richiede di:

1. disegnare l'automa a stati finiti che modella il sistema;
2. definire la codifica degli stati del sistema e scrivere le tabelle di verità per le funzioni Output e NextState;
3. [Facoltativo] minimizzare le funzioni Output e NextState e disegnare il circuito finale.

*1\_ L'automa di Moore che modella il circuito è il seguente:*



2\_ La codifica degli stati è:

Stato	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>
Q <sub>0</sub>	0	0	0
Q <sub>1</sub>	0	0	1
Q <sub>2</sub>	0	1	0
Q <sub>3</sub>	0	1	1
Q <sub>4</sub>	1	0	0
Q <sub>5</sub>	1	0	1
Q <sub>6</sub>	1	1	0
--	1	1	1

Si osservi che la configurazione 111 non denota uno stato del sistema.

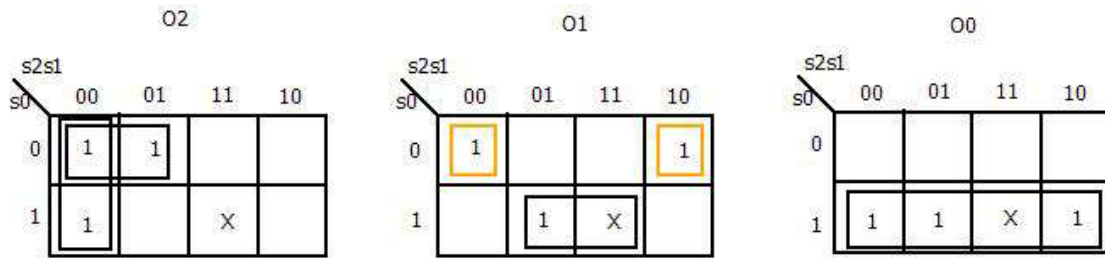
La tabella di verità per NextState è:

S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>	I	S <sub>2</sub> '	S <sub>1</sub> '	S <sub>0</sub> '
0	0	0	0	0	0	0
0	0	0	1	0	1	0
0	0	1	0	0	0	1
0	0	1	1	0	1	1
0	1	0	0	0	1	0
0	1	0	1	1	0	0
0	1	1	0	0	0	0
0	1	1	1	1	0	1
1	0	0	0	0	0	1
1	0	0	1	1	1	0
1	0	1	0	0	1	0
1	0	1	1	1	0	1
1	1	0	0	0	1	1
1	1	0	1	1	1	0
1	1	1	0	X	X	X
1	1	1	1	X	X	X

La tabella di verità per Output è:

s <sub>2</sub>	s <sub>1</sub>	s <sub>0</sub>	O <sub>2</sub>	O <sub>1</sub>	O <sub>0</sub>
0	0	0	1	1	0
0	0	1	1	0	1
0	1	0	1	0	0
0	1	1	0	1	1
1	0	0	0	1	0
1	0	1	0	0	1
1	1	0	0	0	0
1	1	1	X	X	X

3\_ Minimizzazione della funzione Output:

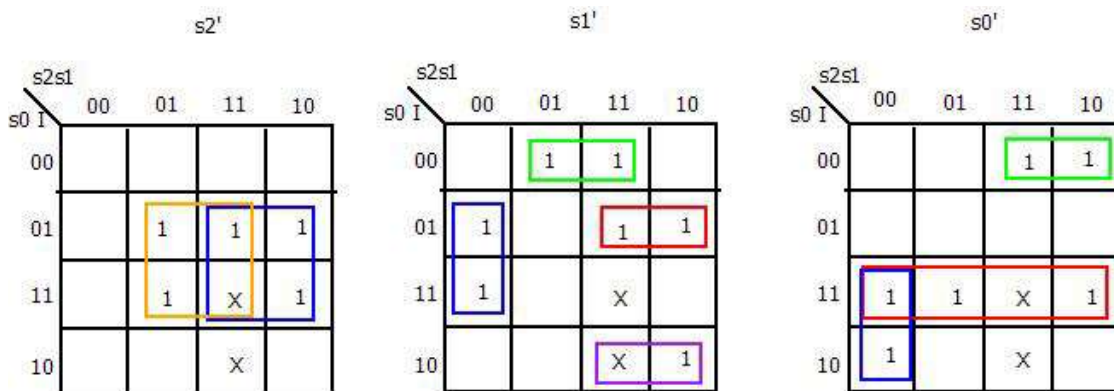


$$O_2 = \sim s_2 \sim s_1 + \sim s_2 \sim s_0$$

$$O_1 = \sim s_1 \sim s_0 + s_1 s_0$$

$$O_0 = s_0$$

Minimizzazione della funzione NextState:

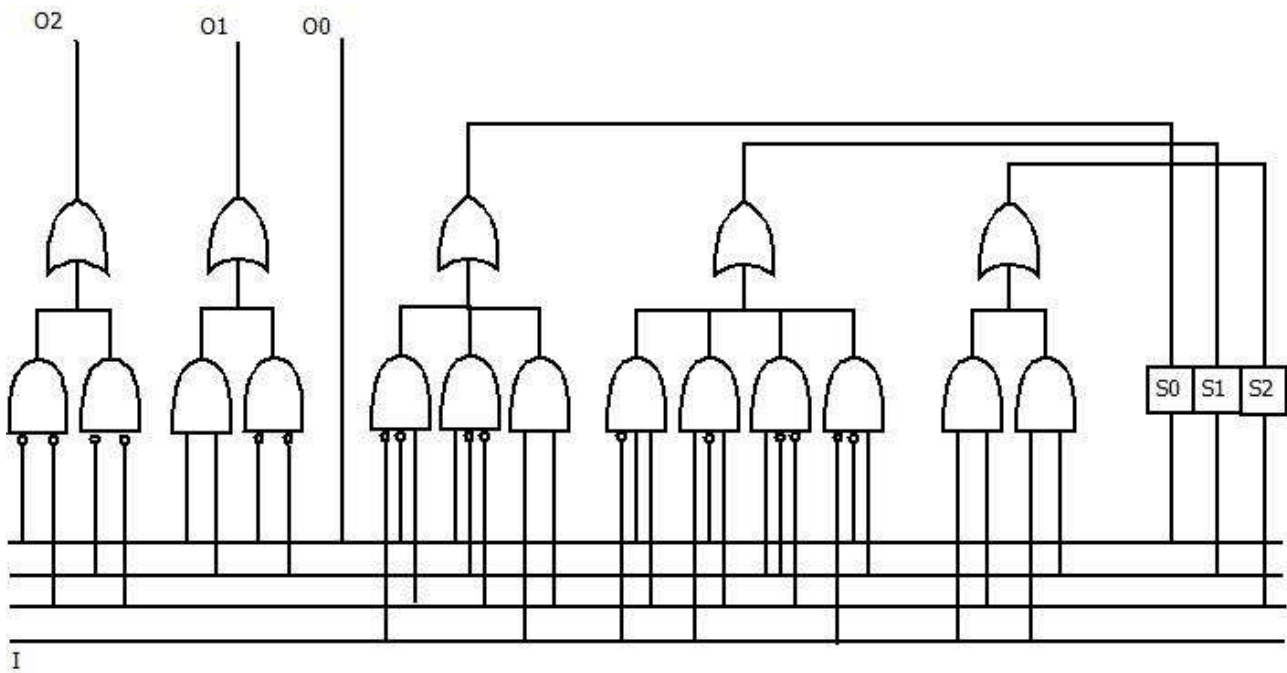


$$s_2' = s_1 I + s_2 I$$

$$s_1' = s_1 \sim s_0 \sim I + \sim s_2 \sim s_1 I + s_2 \sim s_0 I + s_2 s_0 \sim I$$

$$s_0' = s_0 I + \sim s_2 \sim s_1 s_0 + s_2 \sim s_0 \sim I$$

Circuito finale



## Esercizio 2

*Soluzione della terza prova di Dicembre 2012*

Si vuole costruire un circuito sequenziale di Mealy che modella un sommatore binario bit a bit con riporto. Il circuito riceve in ingresso due segnali  $I_1$  e  $I_2$  e ad ogni passo deve:

- calcolare la somma dei due bit in ingresso e del riporto relativo al passo precedente;
- propagare il riporto generato dalla somma al passo successivo.

Il circuito fornisce in uscita due segnali:

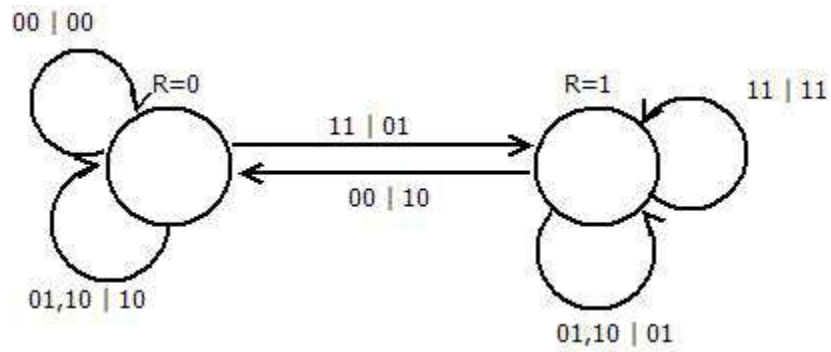
- Somma che rappresenta il risultato della somma calcolata ad ogni passo e
- Riporto che rappresenta il riporto generato ad ogni passo.

Ad esempio, supponendo che al tempo  $t_{i-1}$  il riporto generato sia 1, e che al tempo  $t_i$  gli ingressi siano  $I_1=1$  e  $I_2=0$  allora la somma calcolata al tempo  $t_i$  è pari a 0 e il riporto generato è pari a 1.

Si richiede di:

1. disegnare l'automa a stati finiti che modella il circuito;
2. definire la codifica degli stati del circuito e scrivere le tabelle di verità per le funzioni Output e NextState;
3. minimizzare le funzioni Output e NextState;
4. [Facoltativo] disegnare l'automa a stati finiti di Moore che modella il circuito.

1\_ L'automa che modella il circuito è il seguente:



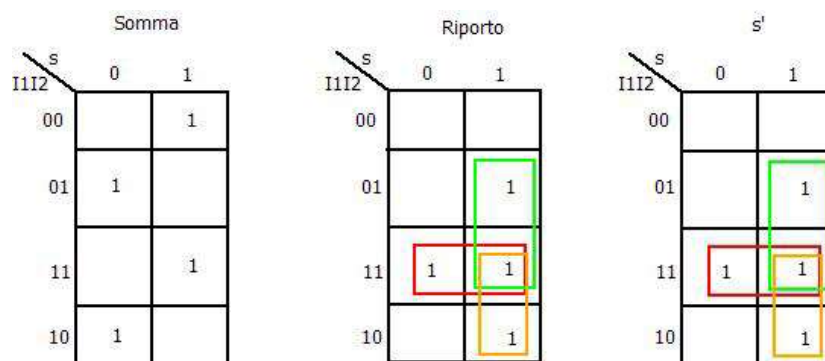
2\_ La codifica degli stati è:

Stato	s
R = 0	0
R = 1	1

Le tabelle di verità per Output e NextState sono:

s	l <sub>1</sub>	l <sub>2</sub>	Somma	Riporto	s'
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	1	0	0
0	1	1	0	1	1
1	0	0	1	0	0
1	0	1	0	1	1
1	1	0	0	1	1
1	1	1	1	1	1

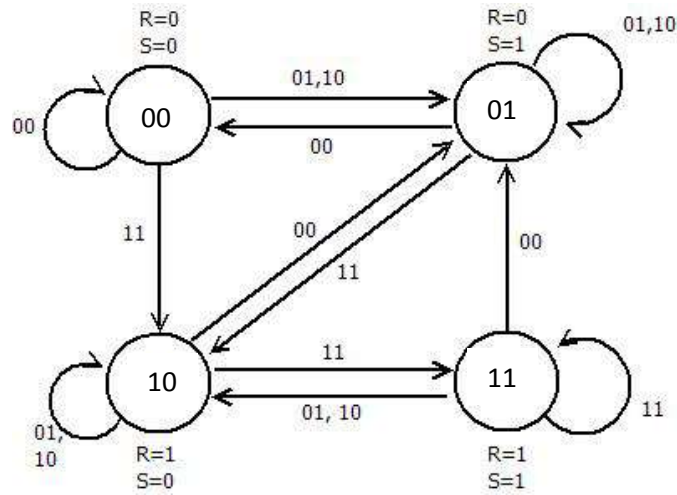
3\_ Minimizzazione funzioni Output e NextState:



$$\text{Somma} = \sim l_1 \sim l_2 s + \sim l_1 l_2 \sim s + l_1 l_2 s + l_1 \sim l_2 \sim s$$

$$\text{Riporto} = s' = l_2 s + l_1 s + l_1 l_2$$

4\_ L'automa di Moore che modella il circuito è il seguente:



La codifica degli stati è:

Stato	$S_1$	$S_0$
R = 0 S = 0	0	0
R = 0 S = 1	0	1
R = 1 S = 0	1	0
R = 1 S = 1	1	1

La tabella di verità per Output è:

$S_1$	$S_0$	Somma
0	0	0
0	1	1
1	0	0
1	1	1

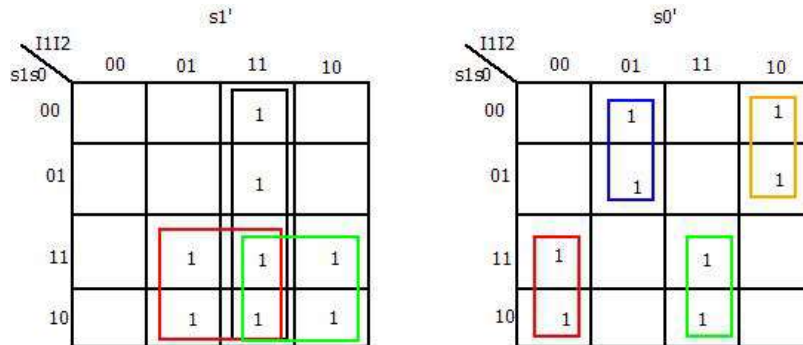
Quindi Somma =  $s_0$

La tabella di verità per NextState è:

$S_1$	$S_0$	$l_1$	$l_2$	$S_1'$	$S_0'$
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	1	0
0	1	0	0	0	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	0	1
1	0	0	1	1	0
1	0	1	0	1	0
1	0	1	1	1	1
1	1	0	0	0	1

1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	1	1

Minimizzazione della funzione NextState:



$$s_1' = l_1l_2 + s_1l_2 + s_1l_1$$

$$s_0' = \sim s_1 \sim l_1 l_2 + \sim s_1 l_1 \sim l_2 + s_1 \sim l_1 \sim l_2 + s_1 l_1 l_2$$

### Esercizio 3

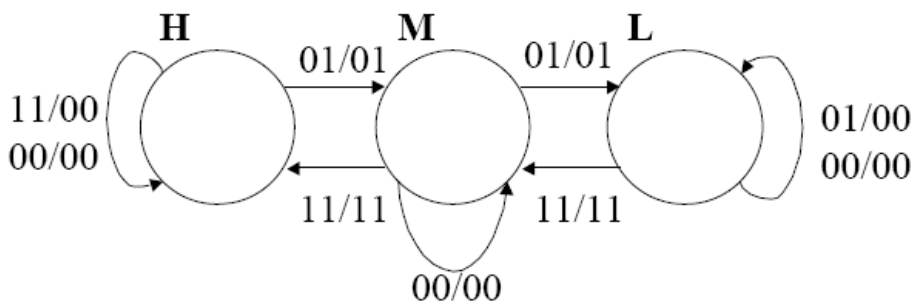
Definire l'automa a stati finiti (e le tabelle di verità corrispondenti) che modella il comportamento di un circuito sequenziale di Mealy.

Il circuito deve comandare un braccio mobile allungabile tramite 2 bit di output (11=Innalza, 01=Abbassa, 00=Invariato).

L'input del circuito è anch'esso costituito da 2 bit (11=ComandaInnalzamento, 01=ComandaAbbassamento, 00=LasciaInvariato).

Il braccio ha 3 posizioni possibili: High (H), Middle (M), Low (L).

Chiaramente il compito del circuito sarà quello di impedire che i comandi di Innalzamento/Abbassamento abbiano effetto quando il braccio si trova, rispettivamente, nelle posizioni H/L.



Codifica degli stati:

Stato	s <sub>1</sub>	s <sub>0</sub>
H	1	1
M	1	0
L	0	1
-	0	0

Tabella di verità:

Stato	s <sub>1</sub>	s <sub>0</sub>	I <sub>1</sub>	I <sub>0</sub>	O <sub>1</sub>	O <sub>0</sub>	s' <sub>1</sub>	s' <sub>0</sub>
-	0	0	X	X	X	X	X	X
L	0	1	0	0	0	0	0	1
	0	1	0	1	0	0	0	1
	0	1	1	0	X	X	X	X
	0	1	1	1	1	1	1	0
M	1	0	0	0	0	0	1	0
	1	0	0	1	0	1	0	1
	1	0	1	0	X	X	X	X
	1	0	1	1	1	1	1	1
H	1	1	0	0	0	0	1	1
	1	1	0	1	0	1	1	0
	1	1	1	0	X	X	X	X
	1	1	1	1	0	0	1	1

## Esercizio 4

Progettare una rete sequenziale di Moore

- Due segnali in input: I<sub>1</sub>, I<sub>2</sub>
- Due segnali in output O<sub>1</sub> e O<sub>2</sub>

Se l'uscita al tempo t<sub>i</sub> è (O<sub>1</sub> O<sub>2</sub>) = (0\_ ) →

- Le uscite O<sub>1</sub> O<sub>2</sub> al tempo t<sub>i+1</sub> dovranno essere il complemento a uno di I<sub>1</sub> I<sub>2</sub>

Altrimenti →

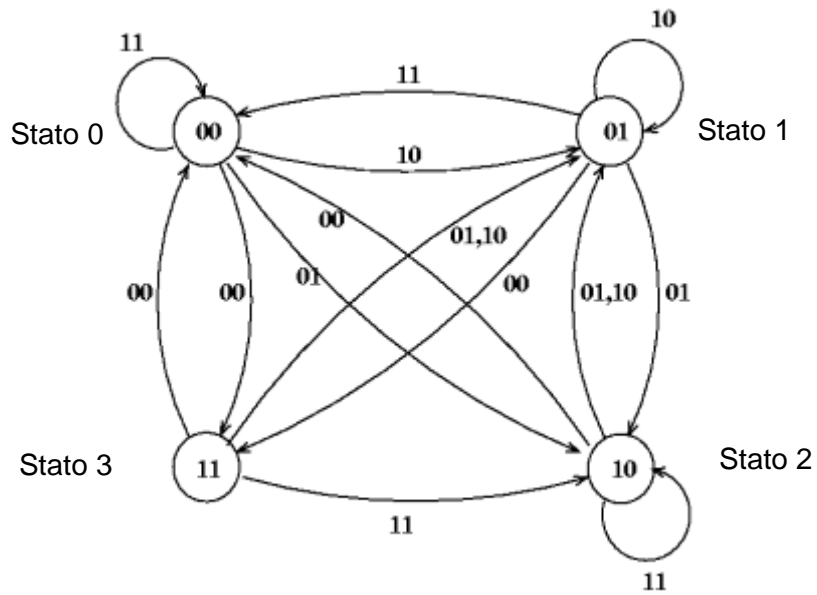
- Le uscite O<sub>1</sub> O<sub>2</sub> al tempo t<sub>i+1</sub> saranno il risultato della somma di I<sub>1</sub> + I<sub>2</sub>

O<sub>1</sub>=Riporto e O<sub>2</sub>=Somma

All'inizio: O<sub>1</sub> = O<sub>2</sub> = 0

Macchina a stati finiti di Moore: uno stato per ogni possibile output





Codifica degli stati

Stato	S <sub>0</sub>	S <sub>1</sub>
Stato 0	0	0
Stato 1	0	1
Stato 2	1	0
Stato 3	1	1

NextState

S <sub>0</sub>	S <sub>1</sub>	l <sub>1</sub>	l <sub>2</sub>	S <sub>0</sub> *	S <sub>1</sub> *
0	0	0	0	1	1
0	0	0	1	1	0
0	0	1	0	0	1
0	0	1	1	0	0
0	1	0	0	1	1
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	0	0	0
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	1	0

Minimizzazione della funzione *NextState*

		I1		I2	
		00	01	11	10
$S_1^*$	S0	1			1
	01	1			1
	11		1		1
	10		1		1

		I1		I2	
		00	01	11	10
$S_0^*$	S0	1	1		
	01	1	1		
	11			1	
	10			1	

$$S_1^* = \sim S_0 \cdot \sim I_2 + I_1 \cdot \sim I_2 + S_0 \cdot \sim I_1 \cdot I_2$$

$$S_0^* = \sim S_0 \cdot \sim I_1 + I_1 \cdot I_2 \cdot S_0$$